

# 一种面向光收发器的 ps 级光脉冲产生器<sup>\*</sup>

许超龙,李晋文,罗 章,王克非,庞征斌

(国防科学技术大学计算机学院,湖南 长沙 410073)

**摘 要:**由于高速光开关在光互连通信中越来越广泛的应用,光开关的开关速度直接影响了整个光链路的传输速率,因此对驱动光开关产生长周期窄脉冲光信号的驱动电路的性能及集成度有了更高要求。基于光电集成工艺和高速光脉冲队列技术的发展,提出了一种应用于光 SerDes 收发器的集成 ps 级窄脉冲光信号产生器。该产生器为 CMOS 电路产生脉宽精确可调的长周期窄脉冲,在 SMIC 0.13  $\mu\text{m}$  CMOS 工艺下可获得窄至 25 ps 的脉冲输出,其电源电压范围宽达 1.4 V~2.5 V,时钟频率也可由数 kHz 到 4 GHz,同时可移植到不同的 CMOS 工艺平台。

**关键词:**ps;光脉冲;光收发器;光开关

**中图分类号:**TP303

**文献标志码:**A

**doi:**10.3969/j.issn.1007-130X.2016.01.006

## A ps level optical pulse generator in optical transceiver

XU Chao-long, LI Jin-wen, LUO Zhang, WANG Ke-fei, PANG Zheng-bin

(College of Computer, National University of Defense Technology, Changsha 410073, China)

**Abstract:** As the application of the high-speed optical switch is more and more popular in optical interconnection, the speed of the optical switch is directly related to the bit rate of the optical links. So the performance and integration requirement of driver circuit which drives the optical switch producing narrow optical pulse in a relative long cycle is more stringent. Depending on the breakthrough of single-chip opto-electrical integration and the advance of the optical pulse train generator technique, an opto-electrical integration ps level optical pulse generator used in optical transceiver is proposed, which is based on optical serializer/deserializer (SerDes). The generator, made up of CMOS integration circuit, produces narrow optical pulses with a precisely adjustable width, which is used in the transceiver with optical SerDes. The generator outputs pulses as narrow as 25 ps width in SMIC 0.13  $\mu\text{m}$  CMOS library, the power voltage range is in 1.4 V~2.5 V, and the clock frequency is from several KHz up to 4 GHz. In addition, the circuit is easy to be transplanted to different CMOS process platform.

**Key words:** ps; optical pulse; optical transceiver; optical switch

## 1 引言

当前互连网络正朝向高集成度、高速率和低功耗的方向不断发展。当前广泛应用的光互连通信方案为:低速并行电信号在芯片内通过 SerDes (Serializer/Deserializer)转换为高速串行电信号传

送到芯片的端口,然后高速串行电信号在芯片外通过光收发器转换为高速串行光信号,从而实现远距离的高速传输<sup>[1~3]</sup>。其中光收发器由调制器、驱动电路和光电二极管(PD)、放大器组成。

由于高功耗 SerDes 电路的存在以及传输速率进一步提升的困难使得传统光互连方案的发展面临瓶颈。光电单片集成技术<sup>[4]</sup>以及光脉冲队列发

\* 收稿日期:2015-08-11;修回日期:2015-10-26

基金项目:国家 863 计划(2013AA014301,2012AA01A301);博士点基金(20134307120029)

通信地址:410073 湖南省长沙市国防科学技术大学计算机学院计算机所

Address: College of Computer, National University of Defense Technology, Changsha 410073, Hunan, P. R. China

生器的发展<sup>[5~8]</sup>使得一种基于光 SerDes 的收发器结构被提出。该收发器利用分时技术将多路电信号加载到同一光载波上,获得单通道单波长单电平的可高于 40 Gb/s 的串行光传输,在实现光电转换的同时完成串并转换。基于光 SerDes 电路的光发射单元与光接收单元,其核心在于驱动高速光开关以对连续光源实现切割,即长周期窄脉冲光信号的产生。而高速光开关的开关时间则决定了整个光收发器的传输速率。以 40 Gb/s 系统为例,其要求光开关的开关时间宽度窄至 25 ps。

目前窄脉冲信号发生器主要应用于 UWB (Ultra Wide Band) 通信领域。最早提出的脉冲信号发生器是用阶跃恢复二极管和传输线或者是双极结型晶体管直接合成。然而,该类信号发生器存在集成度低、功耗大、电路复杂等缺点。到目前为止,很多学术论文提出的一些关于窄脉冲信号发生器的设计方法大多数都是基于模拟电路设计的<sup>[9,10]</sup>。相对于模拟集成电路,数字集成电路具有更高的集成度,因此利用数字电路设计窄脉冲信号发生器成为一种发展方向。随着技术的发展,已经出现了一些利用数字电路实现的窄脉冲信号发生器,然而其往往难以达到几十 ps 的脉宽精度<sup>[11]</sup>。近年来,CMOS 工艺下整体集成光调制器与光电二极管的技术已出现,光收发器的单片整体集成也成为行业的发展趋势。故本文提出了一种整体集成驱动电路以及光开关,可调节的 ps 级脉宽精度的数字电路窄脉冲信号发生器方案。

## 2 基于光 SerDes 收发器结构

图 1 分别给出了传统基于电 SerDes 的收发器结构与基于光 SerDes 收发器结构图。从图 1 中可以看出,针对传统的光收发器将低速并行电信号转

换为高速串行电信号再转换为高速串行光信号的 2 级转换,基于光 SerDes 收发器结构实现了低速并行电信号到高速串行光信号的直接转换。

基于光 SerDes 收发器由光发射模块、光链路以及光接收模块组成。光发射模块的主要结构由连续激光源、 $N$  个结构相同的光开关  $A_1 \sim A_N$  以及分时发生器组成,如图 2a 所示。其中连续激光源使用商用领域中常用的分布反馈布拉格 (DFB) 激光器,其工作波长为 1 550 nm。两个相邻的光开关中插入两段并行的光延迟线用以在光路上实现宽度为  $\tau$  的时间延迟。分时发生器的每个部分都相应地耦合在一个光开关后。在每一个  $N\tau$  的周期内,每  $N$  路光开关都会同步地打开  $\tau$  时间宽度,将输入的连续光源切断成  $N$  段脉冲并分别载入各路分时发生器。考虑到温度稳定性,光开关为 MZI 类型。根据文献[9],该类型光开关产生脉冲宽度可窄至 20 ps,因此其可支持产生高达 50GHz 的串行脉冲信号。 $N$  个光开关产生的  $N$  个脉冲被送入各个光开关后耦合的分时发生器进行振幅调制。因此,对于每路分时发生器而言,它会以  $f_0$  为基础频率周期性产生宽度为  $\tau$  的脉冲。在脉冲从光开关进入分时发生器开始,分时发生器应在半个时钟周期内,即  $N\tau/2$  完成调制,然后等待下一个脉冲输入。显然,分时发生器的响应时间为  $N\tau/2$  而非  $\tau$ ,这使得分时发生器的响应时间比较充裕。调制完成后, $N$  个频率为  $f_0$  调制信号同步地输出到光波导线中组成频率为  $Nf_0$  的串行光信号进行传输。

光接收模块同样由  $N$  阶级连的光开关组成。两个邻近光开关的光脉冲延迟时间为  $\tau$ 。在每一个  $N\tau$  周期内,每一个光开关打开  $\tau$  时间以载入一个光脉冲并将之送入后端的光电二极管 (PD)。如图 2b 所示,  $N$  路光开关和 PD 就将串行光信号直接转换

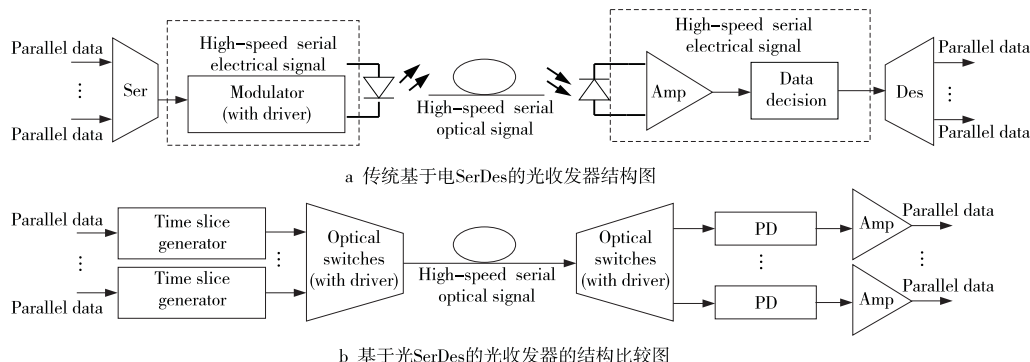


Figure 1 Optical transceiver structure comparison between the electrical SerDes based and the optical SerDes based

图 1 传统基于电 SerDes 的光收发器结构和基于光 SerDes 的光收发器的结构比较图

为并行模拟电流信号。另外,PD 的输出信号为较小的电流脉冲信号,因此需要加入放大电路将其转换为标准的数字差分输出。最后,还需要时钟同步器,这是减少串扰的关键器件。因为只有当光开关的打开时间与光脉冲中心相重合时所得到的信号能量最大。这涉及到远端时钟与本地时钟同步的问题。关于远端时钟与本地时钟的同步问题,目前已有一系列成熟的协议来保证,本文不作详叙。

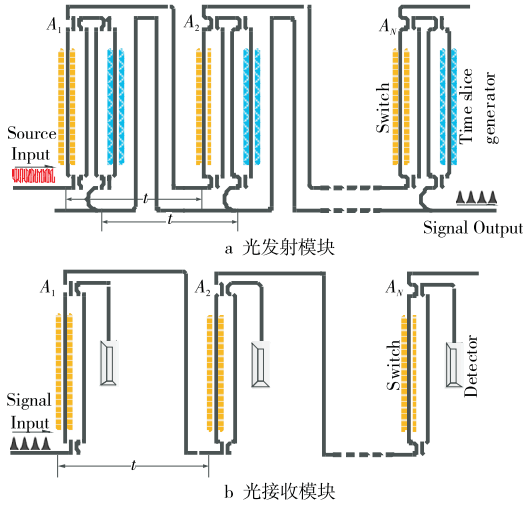


Figure 2 Key structures of the transmitter module and the receiver module

图 2 光发射模块和光接收模块

从前文描述可知,无论在光发射模块还是在光接收模块,产生长周期窄脉宽信号的驱动电路均为基于光 SerDes 收发器中的关键部件之一,而光开关驱动脉冲的脉宽大小则决定了整个光收发器的最大传输速率。

### 3 光脉冲信号产生器

光信号发生器分为驱动电路与光开关两个部分。为更好地匹配光电器件的参数,实现光电混合设计,一种较为简便的方式为提取光开关的电参数模型以获得驱动电路的输出波形参数。目前,光开关器件的电参数模型提取已得到研究,一种由电阻及电容构成的简单电路可以很好地模拟光调制器的特性曲线<sup>[13]</sup>,如图 3 的子图所示。根据模型计算的光响应曲线与光开关响应实测曲线即使在很高的频率下仍然有很好的吻合度。光脉冲相位宽度产生关系由公式(1)所得:

$$\Delta\phi = \pi\Delta q/Q_{\pi} \quad (1)$$

其中, $\Delta\phi$ 为光脉冲相位偏移, $\Delta q$ 为电容的电荷量, $Q_{\pi}$ 为光脉冲在波导线中产生 $\pi$ 相移时所需的电荷量,为一个常数。因为 $\Delta q = C\Delta u$ , $C$ 为电容大小,

$\Delta u$ 为电容两端电压变化,故光脉冲相移宽度 $\Delta\phi$ 正比于 $\Delta u$ ,通过改变模型中电容两端的电压可调节光脉冲相位宽度。

图 3 中子图为提取的光开关电参数模型<sup>[13]</sup>。

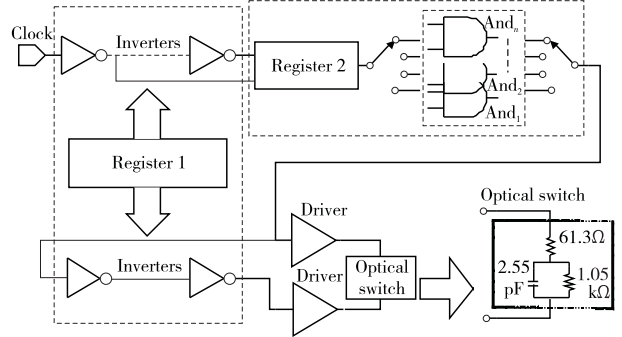


Figure 3 Structure of the narrow optical pulse generator

图 3 窄脉冲光信号产生器结构图

由于光开关为容性器件,为了得到如图 4 中所示虚线的窄脉冲的驱动波形,需要驱动电路输出如图 4 中实线所示波形。如图 4 所示,理想驱动电路输出波形为负脉冲滞后正脉冲的 GMP(Gaussian Monocycle Pulse)。而负脉冲存在的原因因为加速容性的光开关放电,从而形成所需的驱动窄脉冲。目前较为通用的方式为由一路驱动产生正脉冲和一路驱动产生负脉冲,然后将负脉冲进行相位延时后与正脉冲线,便可得到如图 4 所示的输出脉冲。然而该方式不仅在电路上较为复杂,并且需引入负电压,同时正负脉冲的相位差难以精确同步控制。

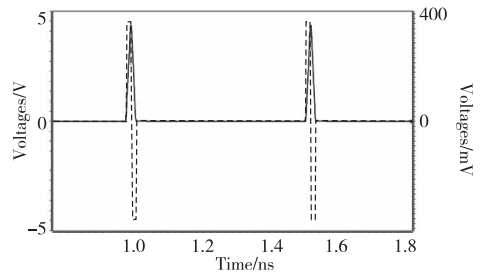


Figure 4 Ideal driving waveform of the optical switch(solid line) and ideal output waveform of the pulse generator(dotted line)

图 4 光开关理想驱动波形(实线)

和脉冲产生器理想输出波形(虚线)

引入负脉冲的目的是为了加快电容板极的放电,从而形成所需的窄脉冲。因此,还有一种更为简单的实现方式即利用差分输出在电容的两级分别加入频率和振幅相同、相位交错的正脉冲。该方法可获得与引入负脉冲同样的效果,输出脉宽窄至 25 ps 的脉冲信号。该电路的好处在于不需要产生负脉冲,因此无需引入负电压,简化电路复杂度,并且由于取消了两路信号线与的过程,可实现相位差的精确同步。

图3为本文提出的采用差分方式的光脉冲产生器结构。基础频率为 $f_0$ 的时钟信号经过反相器以增强驱动能力,同时对其进行延时产生一路延迟 $\tau$ 相位的时钟信号,延迟时间 $\tau$ 的大小可通过对寄存器的设置实现可调。其原理为时钟信号的延迟时间是受反相器的级数及构成反相器的MOS管尺寸所影响。时钟信号与延迟 $\tau$ 相位的时钟信号通过一个与门产生一路频率为 $f_0$ 、宽度为 $\tau$ 的窄脉冲信号。由于构成加法器的MOS管尺寸会对不同频率以及不同电源电压下的波形质量产生影响,因此设置另一个寄存器以实现不同的时钟频率及不同电源电压的相互组合可获得较为理想的输出窄脉冲。窄脉冲信号经过Driver增强驱动能力后驱动光开关开闭从而形成光脉冲。驱动电路均由CMOS器件组成,电路结构简单,易于实现。

## 4 仿真

为对脉冲产生器的性能做一个量化的评估,利用Hspice软件在SMIC 0.13  $\mu\text{m}$  CMOS工艺库中对电路分别在不同工作频率下以及不同电源电压下进行仿真。从第2节可知,不同时钟频率下构成光收发器的路数不同。以40 Gb/s的系统为例,其既可由20路2 GHz信号并串转换组成,也可由10路4 GHz信号组成。因此,选取了典型值2 GHz和4 GHz进行仿真。同时为了适应不同的电源电压,也对不同电源电压值进行了仿真。

如图5所示,在1.8 V电源电压条件下,产生器在2 GHz和4 GHz时钟频率输出脉冲振幅均为150 mV,波形宽度也保持在25 ps没有变化,可见其具有很好的频率适应性。而在2 GHz时钟频率下,产生器在电源电压分别为1.4 V和2.5 V输出的脉冲波形如图6所示。1.4 V电源电压下产生脉冲幅度为120 mV,2.5 V时产生脉冲幅度为200 mV。可知,产生器输出脉冲振幅与电源电压呈现正相关性。因此,其可以应用于多种需求不同的场景,从而获得不同功率水平的光脉冲。

## 5 比较

目前脉冲发生器的应用集中于UWB领域,用于产生可调制的GMP信号。尽管其用途与面向光收发器的脉冲产生器不同,但其产生的原理、工艺、电路以及评价指标均类似。因此,对面向光收发器的光脉冲产生器和目前应用于UWB的脉冲

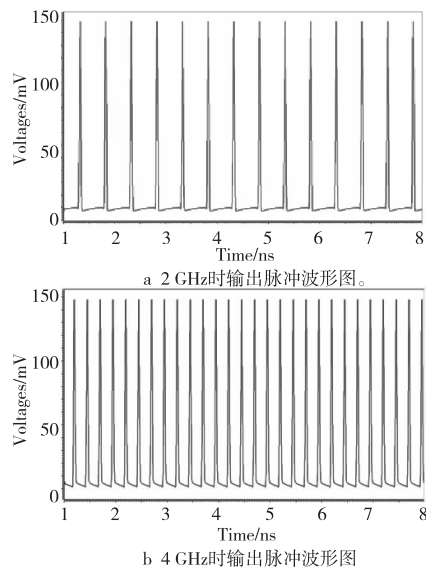


Figure 5 Output waveform of the generator under the frequency of 2 GHz and 4 GHz respectively when power supply is 1.8 V  
图5 1.8 V电源电压,时钟频率分别为2 GHz和4 GHz时输出脉冲波形图

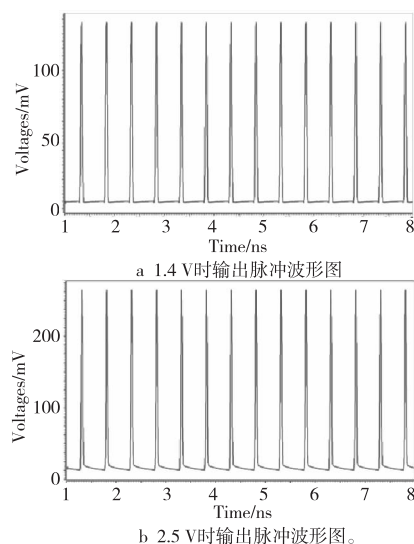


Figure 6 Output waveform of the generator under the power supply of 1.4 V and 2.5 V respectively when the frequency is 2 GHz  
图6 2 GHz时钟,电源电压分别为1.4 V和2.5 V时输出脉冲波形图

发生器进行振幅以及脉冲宽度等指标的对比能较客观地反映出发生器的性能。表1为面向光收发器的光脉冲产生器和目前应用于UWB的脉冲发生器的性能对比。

采用CMOS工艺的UWB的脉冲发生器产生的信号模式为GMP。其产生方式一般为将正负的钟形脉冲合成GMP脉冲。因此,在与面向光收发器的脉冲发生器进行脉冲指标对比时不能直接对比,而应只对比其单个钟形脉冲的幅度和脉宽。如

表 1 所示,面向光收发器的脉冲发生器尽管采用的 CMOS 工艺并非更新的 90 nm 工艺,但其产生的脉冲宽度窄至 25 ps,为表中最小值。

**Table 1 Performance comparison of different pulse generators**

**表 1 脉冲发生器性能对比**

| CMOS 工艺                   | 幅度/(mV) | 脉宽/(ps) |
|---------------------------|---------|---------|
| 0.13 $\mu\text{m}^{[14]}$ | 225     | 300.0   |
| 0.18 $\mu\text{m}^{[15]}$ | 250     | 400.0   |
| 90 nm <sup>[16]</sup>     | 225     | 300.0   |
| 90 nm <sup>[17]</sup>     | 251     | 30.0    |
| 90 nm <sup>[18]</sup>     | 400     | 62.5    |
| 0.13 $\mu\text{m}$ (本文)   | 200     | 25.0    |

## 6 结束语

总而言之,本文提出的光电集成 ps 级窄脉冲光信号产生器具有相位控制精确、可集成性好、电路复杂度低等优点。其产生脉冲宽度可窄至 25 ps,工作电压范围宽至 1.4 V~2.5 V,时钟频率范围高达 4 GHz 且具有很好的可调性。同时,可以方便地移植于不同制程的 CMOS 工艺平台,在未来具有很好的发展前景与应用潜力。

### 参考文献:

[1] Ahn J, Fiorentino M, Beausoleil R G, et al. Devices and architectures for photonic chip-scale integration[J]. Appl Phys A, 2009, 95(4): 989-997.

[2] Urata R, Liu H, Lam C, et al. Silicon photonics for optical access networks[C]//Proc of IEEE Group IV Photonics, 2012: 207-209.

[3] Miller D. Device requirements for optical interconnects to silicon chip[C]//Proc of IEEE, 2009: 1166-1185.

[4] Assefa S, Shank S, Green W, et al. A 90nm CMOS integrated nano-photonics technology for 25Gbps WDM optical communications applications[C]//IEEE International Electronic Devices Meeting(IEDM), 2012: 33. 8. 1-33. 8. 3.

[5] Sander M Y, Byun H, Dahlem M S, et al. 10GHz waveguide interleaved femtosecond pulse train[C]//Proc of CLEO, 2011: 1.

[6] Sander M Y, Frolov S, Shmulovich J, et al. 10 GHz femtosecond pulse interleaver in planar waveguide technology[J]. Opt Express, 2012, 20(4): 4102-4113.

[7] Wang S, Ciftcioglu B, Wu H. Microring-based optical pulse-train generator[J]. Opt Express, 2010, 18(18): 19314-19323.

[8] Wang S, Wu H. Experimental demonstration of microring-based optical pulse train generator[C]//Proc of 2011 IEEE Photonics Conference, 2011, 20(4): 611-612.

[9] Chen Yong, Zhou Yue-chen, Chen Chong-hu. A design of UWB pulse generator[J]. Journal on Communications, 2005, 26(10): 112-115. (in Chinese)

[10] Guo Gang, Wang Quan-ming, Huang Ke-li. The design and

simulation of CMOS UWB signal generator circuit[J]. Journal of System Simulation, 2010, 22(6): 1481-1484. (in Chinese)

[11] Kikkawa T, Saha P K, Sasaki N, et al. Gaussian monocycle pulse transmitter using 0.18 mm CMOS technology with on-chip integrated antennas for inter-chip UWB communication[J]. IEEE Journal of Solid-State Circuits, 2008, 43(5): 1303-1312.

[12] Dong P, Chen L, Chen Y. High-speed low-voltage single-drive push-pull silicon Mach-Zehnder modulators[J]. Opt Express, 2012, 20(6): 6163-6169.

[13] Akiyama S, Usuki T. High-speed and efficient silicon modulator based on forward-biased pin diodes[J]. Frontiers in Physics, 2014. doi:10.3389/fphy.

[14] Smaini L, Tinella C, Helal D, et al. Single-chip CMOS pulse generator for UWB systems[J]. IEEE on Solid-State Circuits, 2006, 41(7): 1551-1561.

[15] Phan I-A, Krizhanovskii V, Han S-K, et al. 4.7pJ/pulse 7th derivative Gaussian pulse generator for impulse radio UWB [C]//Proc of IEEE ISCAS, 2007: 3043-3046.

[16] Wang Y, Iniewski K, Gaudet V, et al. A CMOS IR-UWB transceiver design for contact-less chip testing applications [J]. IEEE Transactions on Circuits and Systems-ii: Express Briefs, 2008, 55(4): 334-338.

[17] Arafat M A, Rashid S M S, Roy A, et al. A simple high data rate UWB OOK pulse generator with transmitted reference for on-chip wireless interconnects[C]//Proc of ICECE, 2010: 131-134.

[18] Mohammad Nahidul Karim, S. M. Istiaque Hossain, Pran Kanai Sahl. A low power, high data rate IR-UWB pulse generator with BPSK modulation in 90nm CMOS technology for on-chip wireless interconnects[C]//IEEE/OSA/IAPR International Conference on Infonnatics, Electronics & Vision, 2012: 87-90.

[19] Kubota S, Toya A, Sugitani T, et al. 5-Gb/s and 10-GHz center-frequency Gaussian monocycle pulse transmission using 65-nm logic CMOS with on-chip dipole antenna and high- $\kappa$ Interposer[J]. IEEE Transactions on Componets, Packaging and Manufacturing Technology, 2014, 4(7): 1193-1199.

### 附中文参考文献:

[9] 程勇, 周月臣, 程崇虎. 一种超宽带脉冲信号发生器的设计[J]. 通信学报, 2005, 26(10): 112-115.

[10] 郭刚, 王全明, 黄柯棣. 基于 CMOS 的超宽带信号产生电路设计与仿真[J]. 系统仿真学报, 2010, 22(6): 1481-1484.

### 作者简介:



许超龙(1988-),男,湖南湘阴人,硕士,研究方向为高速光电互连。E-mail: 651300674@qq.com

XU Chao-long, born in 1988, MS, his research interest includes high speed electrical and optical interconnects.